

29 APR 2005

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 5 月 13 日 (13.05.2004)

PCT

(10) 国際公開番号  
WO 2004/040326 A1

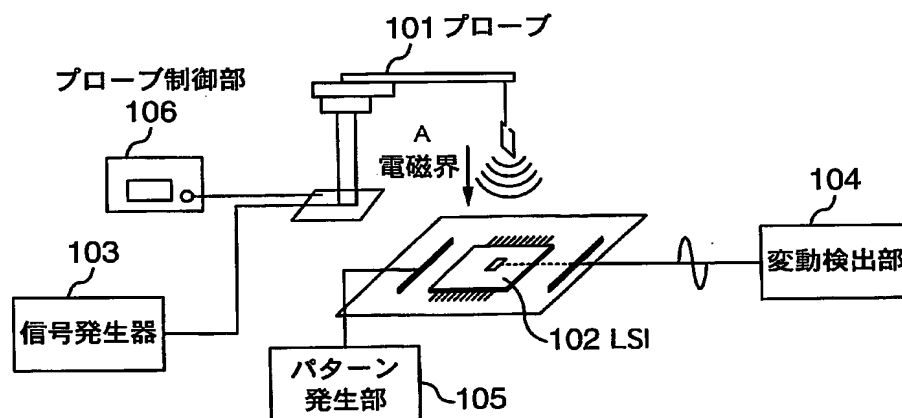
- (51) 国際特許分類<sup>7</sup>: G01R 31/311
- (21) 国際出願番号: PCT/JP2003/013869
- (22) 国際出願日: 2003 年 10 月 29 日 (29.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2002-313618  
2002 年 10 月 29 日 (29.10.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小宮 泰磨

- (KOMIYA, Yasumaro) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内 Kanagawa (JP). 菊地 修司 (KIKUCHI, Shuji) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内 Kanagawa (JP). 上坂 晃一 (UESAKA, Koichi) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内 Kanagawa (JP). 鳥羽 忠信 (TOBA, Tadanobu) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内 Kanagawa (JP). 山本 恵一 (YAMAMOTO, Keiichi) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内 Kanagawa (JP).
- (74) 代理人: 浅村 皓, 外 (ASAMURA, Kiyoshi et al.); 〒100-0004 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: DEFECT ANALYZING DEVICE FOR SEMICONDUCTOR INTEGRATED CIRCUITS, SYSTEM THEREFOR, AND DETECTION METHOD

(54) 発明の名称: 半導体集積回路の不良解析装置、システムおよび検出方法



106...PROBE CONTROL PART  
103...SIGNAL GENERATOR  
101...PROBE  
A...ELECTROMAGNETIC FIELD  
105...PATTERN GENERATING PART  
104...VARIATION DETECTING PAR

(57) Abstract: Analyses of defects of semiconductor integrated circuits are performed by a simplified analyzing device. Simplified defect analysis operations are realized. A defect analyzing device for semiconductor integrated circuits, wherein a probe is used to irradiate an electromagnetic field to activate open gates or gate potentials, thereby detecting electrical characteristic variations, such as a power supply current variation, in a semiconductor integrated circuit so as to determine whether any defects exist therein.

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明は、半導体集積回路不良解析をより簡略化された解析装置にて実施することを可能とし、不良解析作業の簡便化を図ることを目的とする。半導体集積回路においてプローブにて電磁界を照射し、オープンゲートまたはゲート電位を活性化することで電源電流変動などの半導体集積回路内の電気的な特性変動を検出し、不良の有無を検出することを特徴とする半導体集積回路の不良解析装置である。

## 明 細 書

## 半導体集積回路の不良解析装置、システムおよび検出方法

## 5 技術分野

本発明は半導体の不良解析を支援する半導体不良解析装置、システムおよび半導体不良解析方法に関するものである。また、半導体装置の製造方法に関するものである。

## 背景技術

- 10 半導体集積回路（以下LSI）の製造工程において、不良解析時間を短縮することは、プロセス構築期間の短縮を図りプロセスラインの早期立ち上げを実現する上で非常に重要な事柄である。不良解析の遅れはプロセス構築の遅れへとつながる。

- しかし近年、微細化や高集積化の進むLSIでは配線パターンが膨大となり、解析時間が長期化している。また、不良箇所が特定されない事例が生じ、断線不良等のLSIの不良解析が困難なものとなっている。

LSIの断線故障を検出する不良解析技術の従来例として、特開平10-10208及び特開2001-141776がある。

- 20 特開平10-10208では、EBテストを用いて任意の断線配線部に電子ビームを照射して、不良箇所の電位を中間電位とLow電位の間または中間電位とHigh電位の間で変化させ、断線配線部または断線配線部につながる回路のみが変化する電位像を得ることにより、故障箇所を特定する（特開平10-10208を参照）。

- また特開2001-141776では、電子ビーム照射でなく磁界発生ヘッドを用いて、局所的に試料に磁界を加え、発生した起電力によって電位変化を発生させて、これを電位像として取得して不良の有無を検出している（特開平2001-14776を参照）。

## 発明の開示

特開平10-10208で用いられるEBテストは、断線配線に対する電位変化の供与および電位像取得に電子ビームを用いるため、真空状態に保つ装置を必要とし、

装置全体が非常に大型になっている。具体的にEBテストとは、観測箇所電子ビームを照射し、発生する2次電子量を計測することにより観測箇所の電位像を取得する電子ビームテスト解析装置の総称であり、その設置面積の大きさは数平方メートルを要する。従って、小さなスペースで半導体装置や配線基板の不良解析を行うことができないという問題がある。またEBテスト自体が非常に高価格であるという問題もある。

また、断線配線部において明瞭な変位（点滅）電位像を高精度に得るためには、断線配線部に対する電子ビームの照射電流量を多く与えることが望ましい。しかし、電子ビームの照射電流量があるしきい値を超えると、試料によっては電子ビームの照射を停止しても試料表面の電位が未照射の状態に戻らない状態（不可逆的なチャージアップ）となり、電子ビームを照射しても電位が変動しなくなり不良解析ができなくなるという問題がある。このような問題が発生しないように、すなわち不可逆的なチャージアップを生じさせず、かつ断線配線部において明瞭な変位（点滅）電位像を高精度に得ることができるよう電子ビーム照射を高精度に制御することは非常に困難である。

また、上記のように直接断線等の不良配線部に電子ビームを照射するのではなく、断線等の不良配線部に接続するゲート回路やインバータ部に電子ビームを照射し、ゲート回路やインバータ部で変位する電位像を取得すれば、より一層明瞭な電位像を得ることが出来る。しかし、不可逆的なチャージアップを生じさせず、かつゲート回路やインバータ部が論理遷移する電位変化レベルまで照射電流量を供与するには、電子ビーム照射に対して非常に高精度な制御が要求されるが、それを実現することは非常に困難である。

また、特開2001-141776では、電子ビーム照射でなく磁界発生ヘッドによって配線不良箇所を励振し、電位変化を発生させるため不可逆的なチャージアップは生じない。しかし、少なくとも電位像の取得にはEBテストを用いるため、やはり大きな作業スペースが必要となり、また装置自体の高価格化の問題が生じている。

我々は色々検討した結果、上記課題を解決するためには、不良箇所の活性化を電子ビームによる照射と異なる手法で実現することが重要であるという結論に至

った。さらに、検出する半導体集積回路内の電気的な特性変動を、EBテスト等の電位像取得とは異なる手法で行うことが望ましいという結論に至った。

本発明は、半導体または配線不良解析装置に関しては、正確に不良箇所の特定ができ、かつ小型化された半導体不良解析装置を提供することを目的とする。

- 5     また、半導体装置または配線基板の製造方法に関しては、製造効率の向上および歩留まりを向上させることを目的とする。

上記目的を達成するために、本願において開示される代表的な解決手段は次の通りである。

- 半導体集積回路において、プローブにて電磁界を照射し半導体集積回路内の電源電流変動、または電気的な特性変動を検出することにより不良の有無を検出する
- 10    ことを特徴とする半導体集積回路の不良解析装置である。

- また半導体集積回路において、オープンゲートまたはゲート電位を活性化し、半導体集積回路内の電源電流変動、または電気的な特性変動、または電界、磁界分布を検出、または電流分布を算出することにより不良の有無を検出することを
- 15    特徴とする半導体集積回路の不良解析装置である。

また半導体集積回路内の電源電流変動により発生した発熱、発光輻射を計測し、不良箇所の有無を検出することを特徴とする半導体集積回路の不良解析装置である。

- また、半導体装置の配線パターンの設計工程と、該設計情報に基づき半導体装置を製造する製造工程と、該製造されたまたは製造工程の途中にある半導体装置を試験する試験工程と、該試験結果を解析または評価する解析・評価工程を有する半導体装置の製造方法であって、該解析・評価工程では、断線不良等により中間電位に留まるオープンゲートまたはゲート電位を活性化することにより電源電流変動を発生、検出し不良箇所を特定する不良解析を行い、該解析結果が所定の
- 20    条件をクリアした場合は半導体装置の生産を行い、所定の条件をクリアできなかった場合は該解析結果に基づき不良原因を特定し、製造プロセスにフィードバックすることで半導体装置の性能向上、または製造効率向上を図ることを特徴とする半導体装置の製造方法である。
- 25

本発明の他の目的、特徴及び利点は添付図面に関する以下の本発明の実施例の

記載から明らかになるであろう。

#### 図面の簡単な説明

- 図 1 は、不良解析装置の概略図である。
- 図 2 は、インバータ回路の断線不良概略図である。
- 5 図 3 は、不良解析装置の概略図である。
- 図 4 A、図 4 B は、本実施形態における波形を示す図である。
- 図 5 は、不良解析装置の概略図である。
- 図 6 は、不良解析装置の概略図である。
- 図 7 A、図 7 B は、サブストレート側による電界または磁界励振の概略図であ
- 10 る。
- 図 8 は、CADナビゲーションシステムとのリンケージ概略図である。
- 図 9 A、図 9 B は、不良解析画面の概略図である
- 図 10 は、インバータ回路電源電流変動特性を示す図である。
- 図 11 は、プロセス構築フローチャートである。
- 15 図 12 は、半導体製造工程フロー 1 概略図である。
- 図 13 は、半導体製造工程フロー 2 概略図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態について、図面を用いて説明する。

- 図 1 は、本発明の一例である第一の実施例にかかる半導体集積回路の不良解析
- 20 装置を示す。本実施例の不良解析装置は、プローブ101、LSI102、信号発生器103、  
変動検出部104、LSIを所望の状態に設定するパターン発生部105、プローブ制御  
部106を備えている。

本実施例にかかる半導体不良解析装置は、(a)プローブ101から生じる電界または  
磁界照射等によりこのオープンゲートの中間電位を変動させ、(b)ゲート回路

25 またはゲート電位を活性化して貫通電流203を発生させ、(c)回路の電源電流を変  
動させ、(d)この電源電流変動を変動検出部104にて測定し、不良の有無を特定す  
るものである。

例えば、まず信号発生器103から供給する電力によりプローブ101を励振し、プ  
ローブ101から電界または磁界を発生させる。この電界または磁界は、LSI102の

所望の位置に局所的に照射され、LSI上の配線に電界または磁界強度に応じた起電力を発生させる。

本プローブでは約 $0.1\mu\text{m}$ 前後の微小領域から、数十 $\mu\text{m}$ と広範囲にわたる領域まで任意に電界又は磁界を照射することができる。最小配線幅が約 $0.1\sim 0.3\mu\text{m}$ 前後であることを考慮すると、本プローブは配線の所望の位置、例えば特定の回路や素子に電界または磁界を照射することができる。

続いて、電界または磁界が照射された配線部が正常な配線部の場合と断線配線部の場合の違いについて説明する。

正常な配線部では、接続先のインバータ回路等のゲート電位は任意の論理状態に駆動されている。従って、正常な配線部に電界または磁界を照射しても配線部の電位はほとんど変化しない。

一方、断線配線部では、図2のインバータ回路の断線不良例に示すように、断線配線に接続されたNMOS202のゲート電位は所定の論理状態に駆動されておらず、LowとHighの間の中間電位に留まっている（これをオープンゲートという）。この断線配線部に電界または磁界を照射した場合には配線部の電位が変化する。

このように断線配線部では電位変化により活性化されるため、NMOSとPMOSが共にON状態となり貫通電流が発生し、通常の回路の電源電流が変化する。ゲート回路単体の貫通電流に伴う電源電流の変化は、活性化レベルにて異なるが電源電流の大きさに比べて $1/10000$ から $1/10$ 程度であるため、電源電流変動を変動検出部104で検出する。

続いて、プローブに与える励振波の周波数と電源電流変動の関係について詳しく説明する。

回路の電源電流変動特性の一例として、図2に示すインバータ回路における電源電流変動特性のシミュレーション結果を図10に示す。

図10より明らかなように電源電流変動はオープンゲートの中間電位変動に比例して発生する。従って、断線不良箇所を容易に特定するには、断線不良箇所に大きな電位変化を与えることが望ましい。

ここで、断線不良箇所に大きな電位変化を与えるには、LSI102上の配線により大きな電界強度または磁界強度を印加することが必要であり、プローブ101をよ

り高周波数の励振波で駆動することが好ましい。高周波に励振することによりプローブ101に密度の高いエネルギー供給することができ、プローブ101による照射箇所により大きな電界及びまたは磁界強度を供給でき、断線不良箇所に大きな電位変化を与えることが出来るからである。

- 5 具体的には、本実施例にかかる不良解析方法では数十kHz～数百MHz帯の周波数を有する電流（励振波）を用いて電界又は磁界を発生させた場合、数百MHz帯の高い動作周波数を有する半導体装置に対しても不良解析を行うことができる。

- 第一の実施例の不良解析装置によれば、電子ビームではなく、プローブから発生した電界または磁界を用いて不良配線箇所の電位を変化させる（活性化させる）ため、不可逆的なチャージアップを生じさせず、かつ断線配線部の変位電位を明瞭かつ高精度に得ることができる。

また、EBテストを用いる必要が無いため、不良解析装置（不良解析システム）を小型化することができる。

- 続いて、第二の実施例として、バイパスコンデンサの動作を考慮した不良解析装置について図3を用いて説明する。

- 15 LSI102内部の電源供給系やLSIを搭載したテスト基板には、バイパスコンデンサの容量が付加されている。高周波による電界または磁界励振では、ゲート回路の活性化で生ずる電源電流変動も高周波となるため、上記のバイパスコンデンサにより変動が抑制され、変動検出部104による検出が困難なものとなる。本実施例にかかる不良解析装置は上記の問題を改善するものである。

本実施形態の不良解析装置は、電界または磁界プローブ101、変動検出部104、LSIを所望の状態に設定するパターン発生部105とプローブ制御部106、プローブ101に電力を供給する励振波を変調するための信号発生器301を有する。

- 25 信号発生器301では周波数の異なる二つの信号、例えば、高い周波数を有する励振波と励振波より低い周波数を有する変調波を発生させる。そして、図4A、4Bに示された励振波を変調波でスイッチングした変調励振波を生成する。高い周波数としては数十MHz～GHz帯、低い周波数としては数百Hz～数十kHz帯の周波数が望ましい。

この変調励振波を用いてプローブ101を励振して、電界又は磁界を照射するこ



とにより断線箇所に接続するゲート回路を活性化して、回路の電源電流を変動させる。ここで、電源電流変動の検出は、信号発生器301から発生する変調波と同期させ変動検出部104にて検出する。図4Aは第1の実施形態の、図4Bは第2の実施形態の励振波、変調波、電源電流変動の様子を示す。

- 5     本実施例によれば、励振波に対し変調を行うため、バイパスコンデンサによる電源電流変動レベルの低減を抑制することができる。すなわちLSI内部に存在するバイパスコンデンサの影響を低減でき、バイパスコンデンサを含むLSIの断線不良解析を精度良く行うことができる。

また、バイパスコンデンサの有無に係わらず、電源電流変動レベル検出を容易  
10    に行うことができる。

なお、本発明の実施形態における変調は、上記の変調方法に限定されるものではなくAM変調等、その要旨を逸脱しない範囲で種々変更可能である。

- 図5に第3の実施形態として、不良解析装置の概略図を示す。本実施形態の不良解析装置は、プローブ101、LSI102、信号発生器103、LSIを所望の状態に設定  
15    するパターン発生部105、プローブ制御部106、発熱・発光解析装置501および検出部502を有する。プローブ101による電界または磁界照射によりオープンゲートの電位を変動させ、ゲート回路を活性化、電源電流を変動させる。

上記の電源電流変動を直接電氣的に計測する実施例に対し、本実施例ではオープンゲートまたはゲート電位の活性化の際にゲート回路およびその周辺部で生ず  
20    る発熱及び発光輻射の物理現象を捕らえることにより不良箇所の有無の検出を行う。

- 本発明の第4の実施形態として、断線不良解析装置の概略図を図6に示す。本実施形態の不良解析装置は、プローブ101、LSI102、信号発生器103、LSIを所望の状態に設定するパターン発生部105、プローブ制御部106、検出プローブ601、  
25    検出器602を有する。

上記の実施例と同じように、プローブ部101による電界または磁界励振によりオープンゲートの電位が変動し、ゲート回路を活性化する。このときゲート回路の活性化により電源電流が変動し、ゲート回路の近傍電界または磁界に変化を生じる。

本実施例は、この近傍電界または磁界を検出プローブ601、検出器602にて計測を行い、不良箇所の有無を検出するものである。

また本実施形態では演算処理部603を有しており、計測された電界または磁界分布を演算処理することにより、電流分布を算出、表示部604にて表示することが出来る。本電流分布よりゲート回路またはゲート電位活性化による電源電流変動を検出し、不良箇所の有無の検出を行うことが出来る。

また第4の実施形態ではあらかじめ良品LSI102の電界、磁界分布の測定、または電流分布の算出を行い、良品・不良品の差分情報より不良の有無を検出することが出来る。例えば差分情報の抽出は演算処理部603で行われ、表示部604にて表示される。

上記記載の各実施形態において、LSI102のサブストレート側よりプローブ101による電界または磁界励振を行うことも可能である。LSI102のサブストレート側からの電界及または磁界励振の概略図を図7A、7Bに示す。

近年LSIは微細化や高集積化が進み、多層構造化が顕著となっている。特にロジックLSIでは5層以上の配線層を有する製品が一般的となり、下層配線にて生じた不良検出はより困難なものとなっている。

基板や半導体装置の上方より電界または磁界を照射する上記実施例においても、多層配線基板の不良解析を行う場合、上層の配線層に有する絶縁膜703、メタル配線702やP I Q等の保護膜704などが遮蔽領域となり、下層配線になるに従いオープンゲート707またはゲート電位の活性化が困難となる場合がある。

本実施例では多層配線基板の下層配線に対して、サブストレート側（下層側）より不良箇所に対する電界または磁界照射、励振を行うものである。また不良箇所の測定にあたりLSIのサブストレート側の基板706を研磨してもよい。さらに、多層配線基板の上層と下層の両面より電界または磁界を照射し、より精度良く不良箇所を特定するようにしても良い。

本実施例によれば、多層配線基板の所望の層、例えば下層における配線の不良解析を行うことができる。

上記各実施形態によれば、LSIの不良を電源電流変動、発光、発熱輻射、および電界または磁界、または電流分布として検出出来る。また局所的な励振を行う

ため、不良箇所の一次抽出として一定領域の範囲内に特定することが可能であり、  
励振条件の変更や励振領域の変更等、複数回の解析を行うことでその範囲を縮小  
することも可能である。

しかし微細化や高集積化が顕著な近年のLSIでは、不良箇所を解析者がマニ  
5 アルで短時間に配線レベルの精度で正確に特定することは非常に困難である。ま  
た複数層にわたり引き回された長距離配線では、実際の不良箇所と異常が検出さ  
れた箇所が異なる可能性がある。

本事例では不良箇所の2次抽出として、解析者は異常検出箇所の領域に包含す  
る該配線に対して、設計データを参照し経路遡上等の解析を行う事が不可欠とな  
10 る。

これらLSI102の不良箇所の特定を支援する技術、及びシステムとして、例えば  
被試験LSIのCAD設計データと不良解析にて検出された座標を対応づけ不良箇所の  
特定をナビゲートするCADナビゲーションシステム815を用いることが望ましい。  
CADナビゲーションシステム815を用いた不良解析の実施形態の概略図を図8に示  
15 す。プローブ制御部106より抽出されたプローブ座標データ801は座標、領域情報  
生成部813、座標、領域情報データ変換部812を介し、LSIの設計レイアウトデー  
タと同一指標として取り扱うことの出来るユーザーレイヤデータベース811に出  
力、蓄積される。プローブ座標データ801はまた、座標、領域情報生成部813にお  
いて重心座標に指定することでユーザーが任意に条件設定した面積領域を解析領  
20 域として生成することが出来る。座標、領域情報データ変換部812では本領域を  
ポリゴンデータ化し、図9に示すユーザーレイヤのレイアウトデータ907に変換、  
ユーザーレイヤデータベース811に蓄積することが出来る。またユーザーレイヤ  
データベース811は、外部より任意のファイル形式814にて各種のデータを入力す  
ることが出来る。入力例として電子ビームテスト、IDDQ解析装置等、各種の解析  
25 装置より得られたDUTのネット・セル情報やプロセスマージンの厳しいレイアウ  
トパターン情報、過去の不良解析より得られた解析の重み付け条件など、入力デ  
ータは多岐にわたる。

LSIの設計データは、レイアウトデータ802、レイアウト対ネットリスト対応情  
報データ803、ネットリストデータ804がシステムに入力される。各データはデー

タ変換部805を通してレイアウトデータベース806、レイアウト対ネットリスト対応情報データベース807、ネットリストデータベース808に蓄積される。各データベースは相互にリンクされており、プローブ座標データに対応した設計レイアウト及びネットリスト情報をレイアウト表示部809及びネットリスト表示部810にて

5 相互に対応を取りながら出力、表示することが出来る。

図9A、9Bは本実施形態のCADナビゲーションシステム815における解析画面901の概略図である。画面上にはユーザーレイヤ903に入力されたプローブ座標902と本座標に対応したLSIの配線層ごとの設計レイアウト情報が設計レイヤ904内に出力、表示される。解析画面901ではプローブ座標902に一致または近接するネット  
10 905、セル906が配線層ごとに表示、抽出出来る。解析画面901では、プローブ座標902を重心座標に用いて作成したレイアウトデータ907も同様に表示することが出来、画面上でユーザーが条件設定し領域を任意に拡大、縮小することが出来る。解析画面901ではプローブ座標902、レイアウトデータ907共に複数取り扱うことが出来、表示色を指定、変更等により解析者が視覚的に区別化を図ることが可能  
15 である。

CADナビゲーションシステムを用いることにより、半導体集積回路の不良解析において短時間に配線レベルで正確に特定することが出来る。また発光解析やOBIRCH解析等、複数の解析装置間による解析では被疑故障候補の絞り込み、特定作業を効率化し、解析時間の短縮化を図ることが出来る。

20 また半導体集積回路（以下LSI）の製造工程において、不良解析時間を短縮することは、プロセス構築期間の短縮を図りプロセスラインの早期立ち上げを実現する上で非常に重要な事柄である。

プロセス構築のフローチャートについて図11を用いて説明する。プロセス条件を選定後（STEP1）、TEGの製造工程を設定して製造ラインにSiウェハをインプ  
25 ットし製造を行う（STEP2）。この製造プロセスにおける所望の工程間、工程後にウェハの外観検査（成膜後の異物検査、エッチング及びCMP後の外観検査、及び検査後のSEMレビュー等）を行った後（STEP3）テストやプローバ等により電気テストを行い、TEGの良否判定を行う（STEP4）。さらに外観検査や電気テスト結果に基づき、不良解析を実施し、不良位置を特定する（STEP5）。この特定した

座標に基づきSEMやTEMによる表面、断面の観察や材料分析を行い（STEP6）、不良メカニズムを推定し、対策案を策定する（STEP7）。当初の歩留目標に対し達成、未達成を判断し、所望の対策（プロセス改善、装置改善、装置清掃等）を行い（STEP8）、以降のロットに結果を反映させ効果確認を行う。

- 5 この一連のフローチャートを繰り返し行い、欠陥低減を推進させプロセス構築を行うため、不良解析の時間短縮化はプロセス構築の早期構築へとつながる。

図12に半導体製品の製造工程フローの概略図を示す。不良解析は、設計段階においてはプロセス構築や設計条件の変更、量産段階においては歩留向上及び不良対策の実現に必要不可欠なフローとなる。本実施例の実施形態により生ずる効果は、単に不良解析装置の簡略化、解析作業の簡便化に留まるものではなく、半導体製造プロセスや半導体の製造方法、及び製造工程など非常に広範囲にわたるものである。

- 15 具体的に半導体装置の製造方法について説明する。半導体装置の製造工程は、市場調査や顧客の要求に応じて、設計（機能・理論・回路）工程、試作工程、評価、不良解析、対策等の工程を経て、デバイスの量産が開始される。量産工程では、ウエハに回路素子を形成する工程、ウエハ状の半導体素子を検査する工程、ウエハをダイシングする工程、半導体チップにリードやバンプを形成する工程を有する。

- 20 図13は半導体装置の製造フローチャートを示す。図13において、ステップS1の工程において製造された製品ウエハは、ステップS2において、P検（Pellet検査）により初期の不良選別が行われる。そして、選別された良品のウエハは、ステップS3又はS5に進む。ステップS3に進むかS5に進むかの選択は、製造設備等の関係から選択される。

- 25 ステップS3においては、製品ウエハのダイシングを行い、良品チップのみがステップS4において、CSP（Chip Size Package）やBGA（Ball Grid Array）等に個々にパッケージングされる。そして、ステップS7に進む。

また、ステップS5においては、ウエハ上でさらに一括で配線パターンや保護膜の形成、さらに、半田ボール付けまでを行う。続いて、ステップS6において、

配線パターン等が形成されたウエハが、ダイシングにより個々に分割される。そして、ステップS 7に進む。

ステップS 7においては、半導体素子検査用ソケットを用いた半導体装置の検査方法が実施される。つまり、個々に分割された最終形状の製品は、IC検査用ソケットによりバーンイン試験にかけられ最終選別がなされる。そして、最終的に良品となったものがステップS 8において出荷される。近年は、ウエハレベルで半導体素子の検査、再配線、外部接続端子の形成を行なったのち、ウエハをダイシングして半導体装置を形成するウエハレベルチップサイズパッケージが登場している。

- 10 上記で説明した半導体装置の製造は、半導体製造工程の最初の工程である設計に基づいて行われる。よって、評価や検査工程で得られた情報に基づき不要解析を行い、不良の原因を把握し、設計の工程で製造プロセスの変更等の適切な対応を取ることは、その後の量産プロセスにおいて非常に重要となる。すなわち、不良解析は、量産段階における歩留まりの向上等、全てのデバイスにその効果を及ぼしている。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

また、上記実施例において開示した観点の代表的なものは次の通りである。

- 20 (1) 半導体集積回路の不良解析装置において、プローブから電磁界を照射し、電源電流変動を検出することにより不良の有無を検出することを特徴とする半導体集積回路の不良解析装置。

- (2) 半導体集積回路の不良解析装置において、プローブから電磁界を照射し、電圧変動またはインピーダンス変動または電気的特性変動を検出することにより不良の有無を検出することを特徴とする半導体集積回路の不良解析装置。
- 25

(3) 上記(1)または(2)に記載の半導体集積回路の不良解析装置において、オープンゲートまたはゲート電位を活性化することにより、前記電源電流変動または前記電圧変動または前記インピーダンス変動を検出することを特徴とする半導体集積回路の不良解析装置。

(4) 上記(1)から(3)のいずれか1項に記載の半導体集積回路の不良解析装置において、前記プローブを励振しかつ変調を加え、該プローブに加える信号と同期を取りながら前記電源電流変動または前記電圧変動または前記インピーダンス変動を検出することを特徴とする半導体集積回路の不良解析装置。

- 5 (5) 上記(1)から(4)のいずれか1項に記載の半導体集積回路の不良解析装置において、前記電源電流変動または前記電圧変動または前記インピーダンス変動から生じる発熱及び発光輻射を計測することにより不良を検出することを特徴とする半導体集積回路の不良解析装置。

- 10 (6) 半導体集積回路の不良解析装置において、オープンゲートまたはゲート電位を活性化することにより、半導体集積回路内の電気的な特性変動を検出することを特徴とする半導体集積回路の不良解析装置。

(7) 上記(5)に記載の半導体集積回路の不良解析装置において、半導体集積回路に電源電流変動を印加し、オープンゲートまたはゲート電位を活性化することを特徴とする半導体集積回路の不良解析装置。

- 15 (8) 上記(6)または(7)に記載の半導体集積回路の不良解析装置において、プローブから電磁界を照射することにより前記オープンゲートまたはゲート電位を活性化することを特徴とする半導体集積回路の不良解析装置。

- 20 (9) 上記(8)に記載の半導体集積回路の不良解析装置において、前記プローブを励振しかつ変調を加え、該プローブに加える信号と同期を取りながら前記電気的な特性変動を検出することを特徴とする半導体集積回路の不良解析装置。

(10) 上記(1)から(9)のいずれか1項に記載の半導体集積回路の不良解析装置において、良品、不良品の差分情報より不良位置を特定することを特徴とする半導体集積回路の不良解析装置。

- 25 (11) 上記(1)から(10)のいずれか1項に記載の半導体集積回路の不良解析装置において、前記プローブから電磁界を照射または前記オープンゲートまたはゲート電位の活性化をサブストレート側より行うことを特徴とする半導体集積回路の不良解析装置。

(12) 上記(1)から(11)のいずれか1項に記載の半導体集積回路の不良解析装置において、前記プローブの位置情報とチップの設計情報を相互参照し不良

箇所を判定を行うことを特徴とする半導体集積回路の不良解析装置。

(13) 上記(12)に記載の半導体集積回路の不良解析装置において、不良箇所と異常検出箇所が異なる際に、異常検出箇所の領域に包含する該配線に対して設計データを参照し配線経路の解析を行うことにより不良箇所を特定することを

5 特徴とする半導体集積回路の不良解析装置。

(14) 半導体装置の配線パターンの設計工程と、該設計情報に基づき半導体装置を製造する製造工程と、該製造されたまたは製造工程の途中にある半導体装置を試験する試験工程と、該試験結果を解析または評価する解析・評価工程を有する半導体装置の製造方法であって、

- 10 該解析・評価工程では、プローブから電磁界を半導体装置の配線に照射し、電源電流変動を検出することにより不良箇所の検出し、該不良結果が所定の条件をクリアした場合は半導体装置の生産を行い、所定の条件をクリアできなかった場合は該解析結果に基づき不良原因を特定し、製造プロセスにフィードバックすることを特徴とする半導体装置の製造方法。

- 15 以上説明した実施例によれば、半導体集積回路において、オープンゲートまたはゲート電位を活性化することにより電源電流変動を発生、検出し、不良箇所の有無を検出することが出来る。これにより電子ビーム、電位像取得にEBテスト、真空装置が不用となり、装置の大型化、高価格化の問題を改善し、簡略な設備にてかつ解析作業の簡便化を図ることが出来る。またCADナビゲーションシステムとのリンケージによりプローブ位置情報とチップの設計情報を相互参照することが出来、故障箇所の正確な特定、及び解析時間の短縮化を図ることが出来、速やかに不良防止改善策を取ることが出来る。この効果によりプロセス構築期間の短縮を図り、プロセスラインの早期立ち上げに非常に大きな効果をもたらす事が出来る。

- 25 また量産工場においては、不良解析時間の短縮により着工装置の不良対策や製造条件の変更など不良要因に応じた各種対策を早期に行うことが出来る。これは突発的な歩留り低下に対する早期回復や製品立ち上げ時の歩留まり向上に対し非常に大きな効果をもたらす事が出来る。

上記記載は実施例についてなされたが、本発明はそれに限らず、本発明の精神



と添付の請求の範囲の範囲内で種々の変更および修正をすることができることは当業者に明らかである。

#### 産業上の利用可能性

本発明によれば、正確に不良箇所の特特定ができ、かつ小型化された半導体または配線不良解析装置を提供することができる。

また、半導体装置または配線基板の製造方法において、製造効率の向上および歩留まりを向上させることができる。

## 請求の範囲

1. 半導体集積回路の不良解析装置において、プローブから電磁界を照射し、電源電流変動を検出することにより不良の有無を検出することを特徴とする半導体集積回路の不良解析装置。  
5
2. 半導体集積回路の不良解析装置において、プローブから電磁界を照射し、電圧変動またはインピーダンス変動または電気的特性変動を検出することにより不良の有無を検出することを特徴とする半導体集積回路の不良解析装置。
3. 請求項 1 または 2 に記載の半導体集積回路の不良解析装置において、オープンゲートまたはゲート電位を活性化することにより、前記電源電流変動または前記電圧変動または前記インピーダンス変動を検出することを特徴とする半導体集積回路の不良解析装置。  
10
4. 請求項 1 から 3 のいずれか 1 項に記載の半導体集積回路の不良解析装置において、前記プローブを励振しかつ変調を加え、該プローブに加える信号と同期を取りながら前記電源電流変動または前記電圧変動または前記インピーダンス変動を検出することを特徴とする半導体集積回路の不良解析装置。  
15
5. 請求項 1 から 4 のいずれか 1 項に記載の半導体集積回路の不良解析装置において、前記電源電流変動または前記電圧変動または前記インピーダンス変動から生じる発熱及び発光輻射を計測することにより不良を検出することを特徴とする半導体集積回路の不良解析装置。  
20
6. 半導体集積回路の不良解析装置において、オープンゲートまたはゲート電位を活性化することにより、半導体集積回路内の電気的な特性変動を検出することを特徴とする半導体集積回路の不良解析装置。
7. 請求項 5 に記載の半導体集積回路の不良解析装置において、半導体集積回路に電源電流変動を印加し、オープンゲートまたはゲート電位を活性化することを特徴とする半導体集積回路の不良解析装置。  
25
8. 請求項 6 または 7 に記載の半導体集積回路の不良解析装置において、プローブから電磁界を照射することにより前記オープンゲートまたはゲート電位を活性化することを特徴とする半導体集積回路の不良解析装置。

9. 請求項 8 に記載の半導体集積回路の不良解析装置において、前記プローブを励振しかつ変調を加え、該プローブに加える信号と同期を取りながら前記電気的な特性変動を検出することを特徴とする半導体集積回路の不良解析装置。

10. 請求項 1 から 9 のいずれか 1 項に記載の半導体集積回路の不良解析装置において、良品、不良品の差分情報より不良位置を特定することを特徴とする半導体集積回路の不良解析装置。

11. 請求項 1 から 10 のいずれか 1 項に記載の半導体集積回路の不良解析装置において、前記プローブから電磁界を照射または前記オープンゲートまたはゲート電位の活性化をサブストレート側より行うことを特徴とする半導体集積回路の不良解析装置。

12. 請求項 1 から 11 のいずれか 1 項に記載の半導体集積回路の不良解析装置において、前記プローブの位置情報とチップの設計情報を相互参照し不良箇所の判定を行うことを特徴とする半導体集積回路の不良解析装置。

13. 請求項 1 2 に記載の半導体集積回路の不良解析装置において、不良箇所と異常検出箇所が異なる際に、異常検出箇所の領域に包含する該配線に対して設計データを参照し配線経路の解析を行うことにより不良箇所を特定することを特徴とする半導体集積回路の不良解析装置。

14. 半導体装置の配線パターンの設計工程と、該設計情報に基づき半導体装置を製造する製造工程と、該製造されたまたは製造工程の途中にある半導体装置を試験する試験工程と、該試験結果を解析または評価する解析・評価工程を有する半導体装置の製造方法であって、

該解析・評価工程では、プローブから電磁界を半導体装置の配線に照射し、電源電流変動を検出することにより不良箇所を検出し、該不良結果が所定の条件をクリアした場合は半導体装置の生産を行い、所定の条件をクリアできなかった場合は該解析結果に基づき不良原因を特定し、製造プロセスにフィードバックすることを特徴とする半導体装置の製造方法。

1/10

FIG. 1

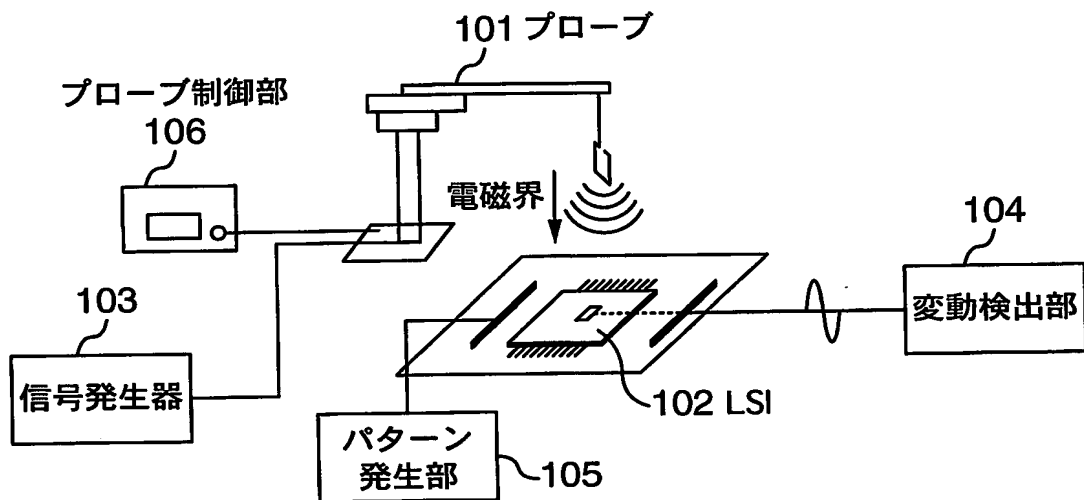


FIG. 2

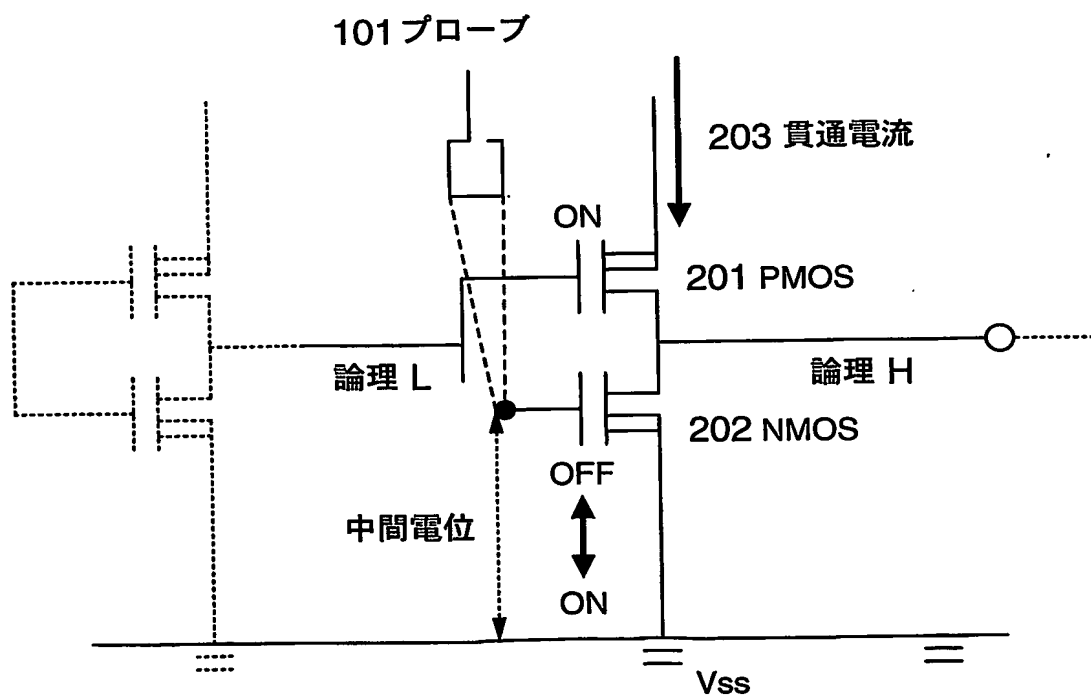
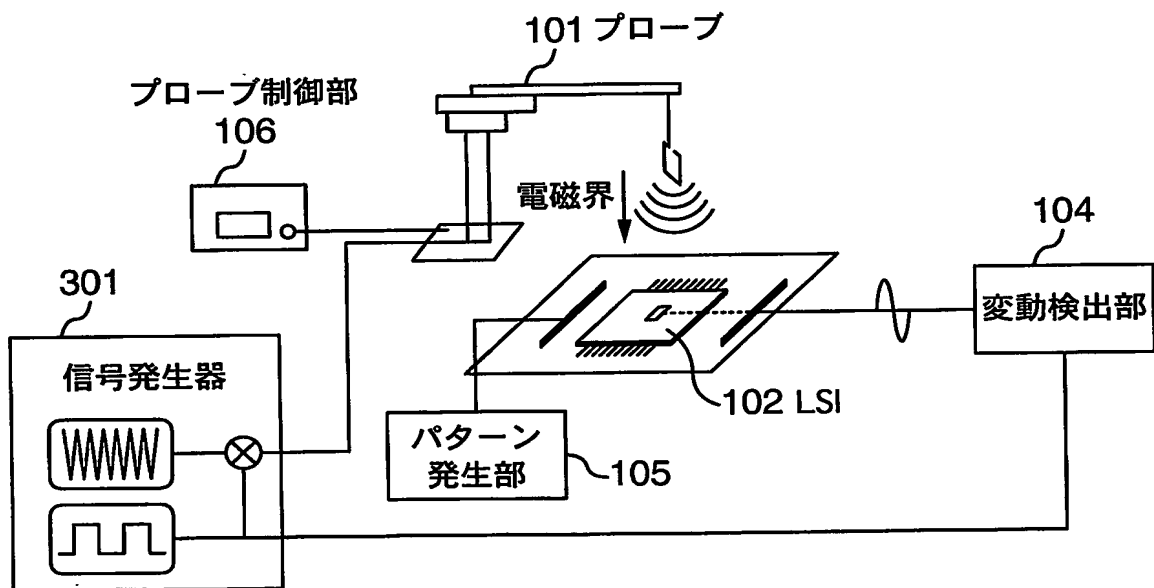


FIG. 3



3/10

FIG. 4A

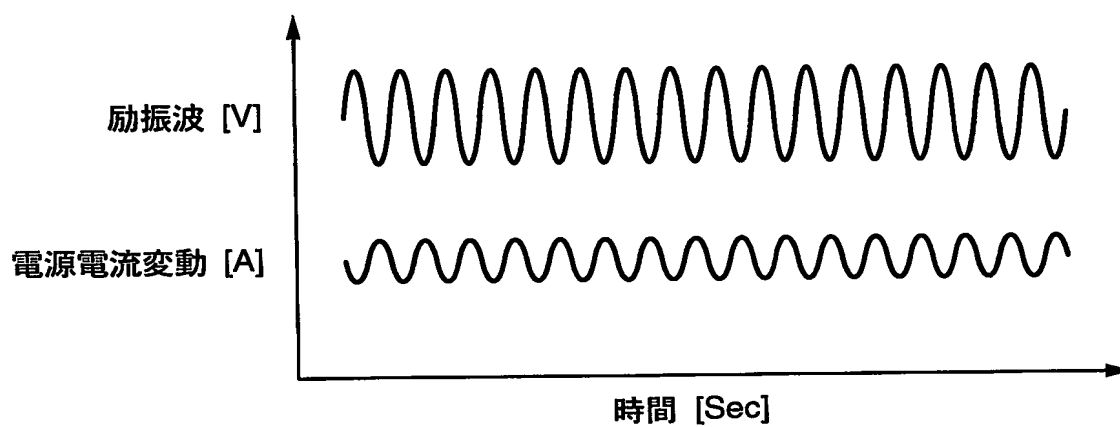
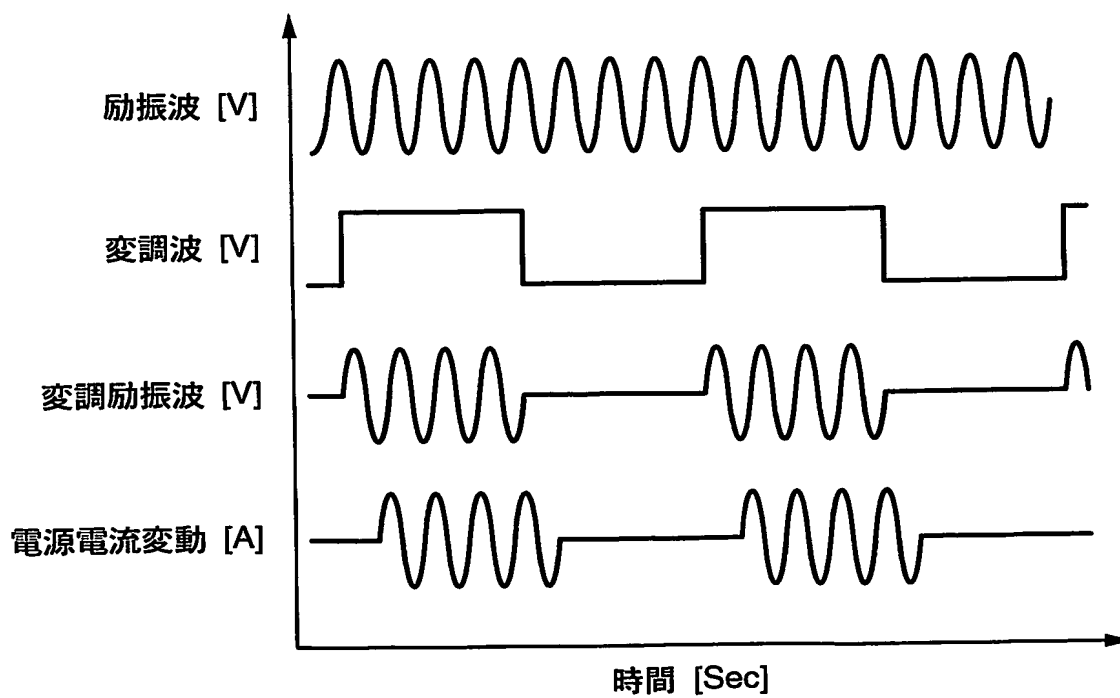


FIG. 4B



4/10

FIG. 5

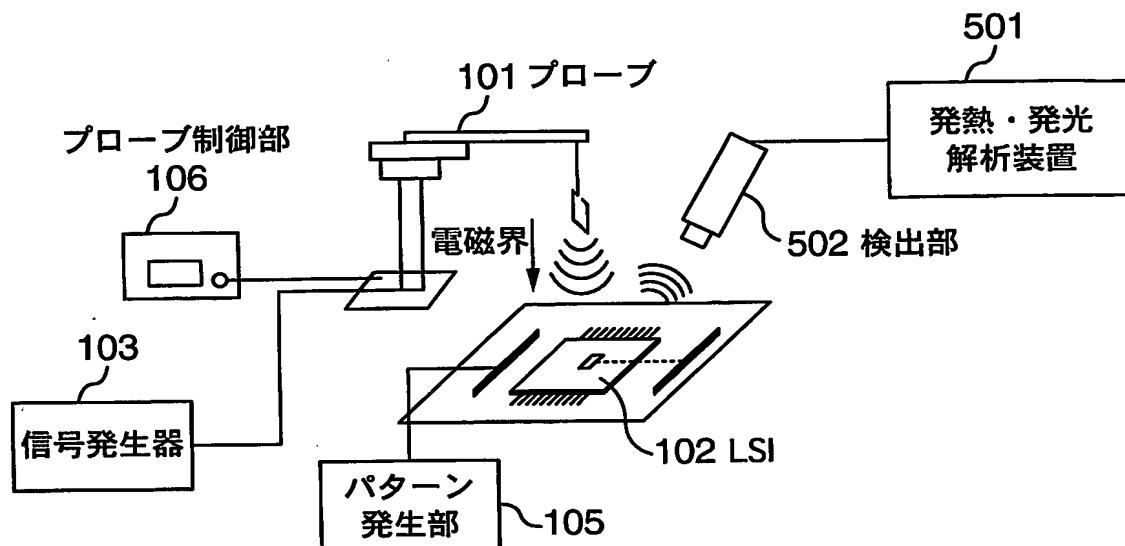
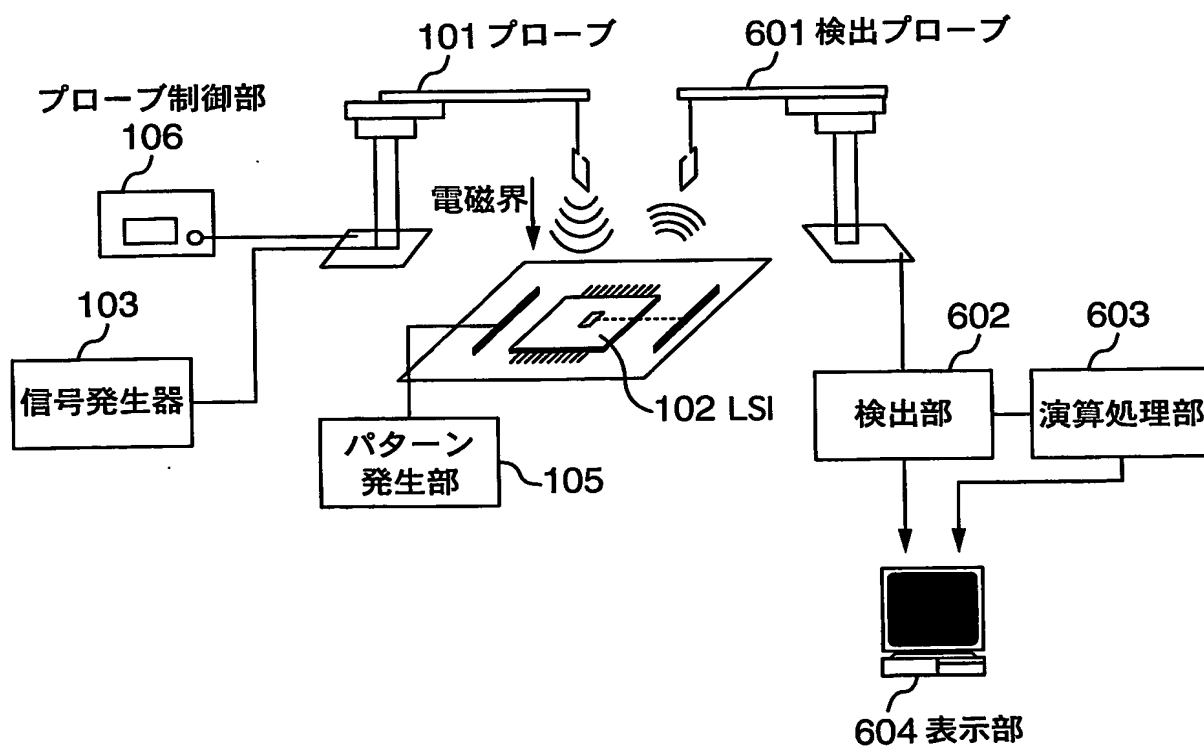


FIG. 6



BEST AVAILABLE COPY

5/10

FIG. 7A

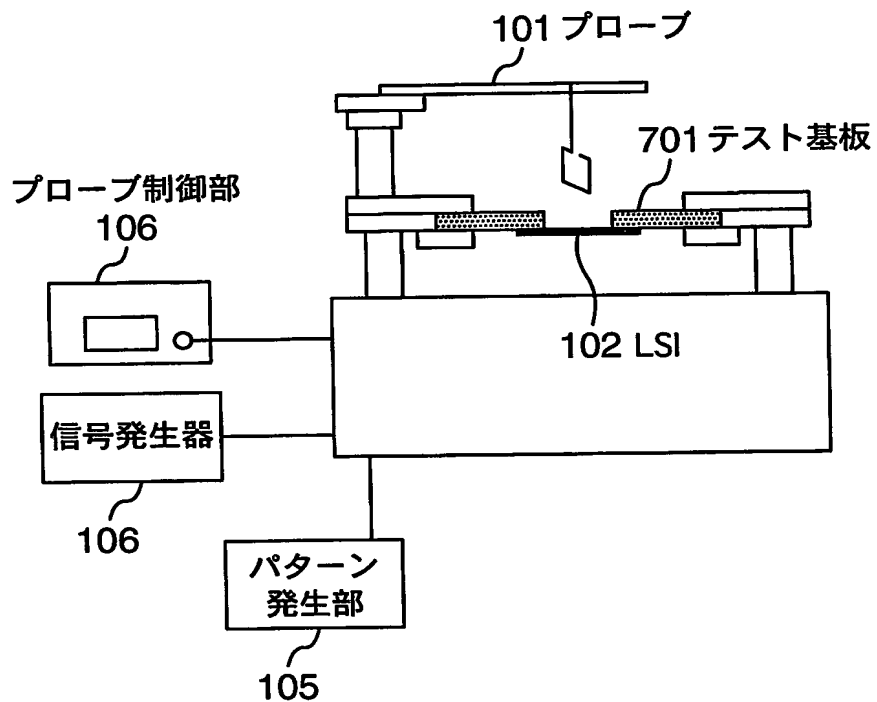
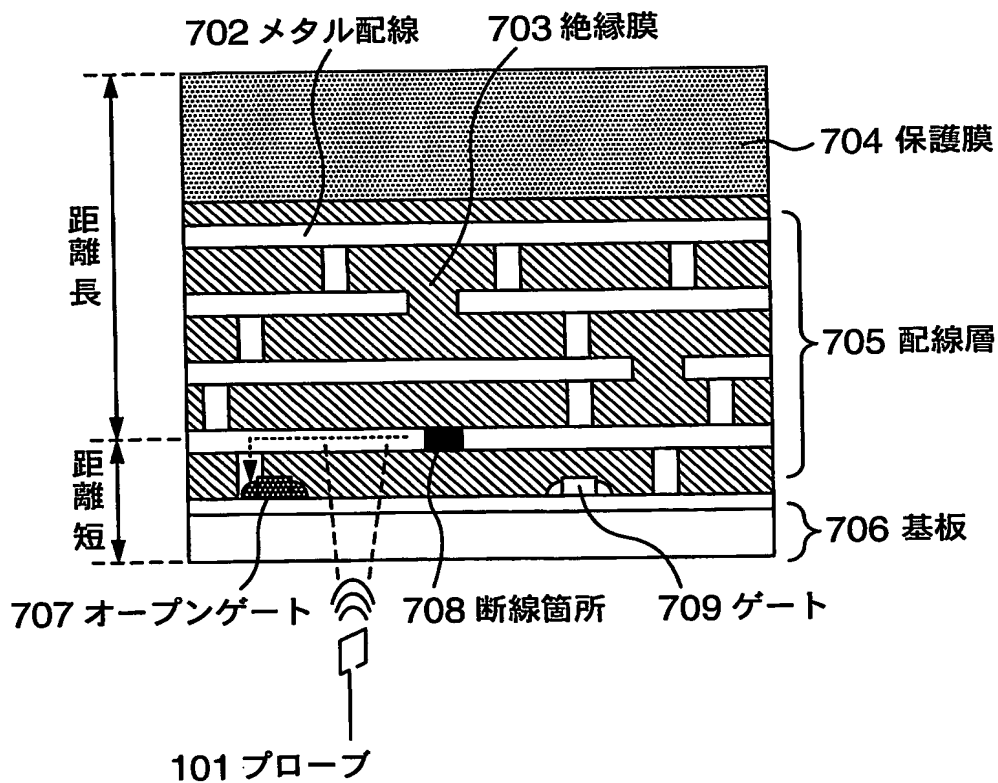


FIG. 7B

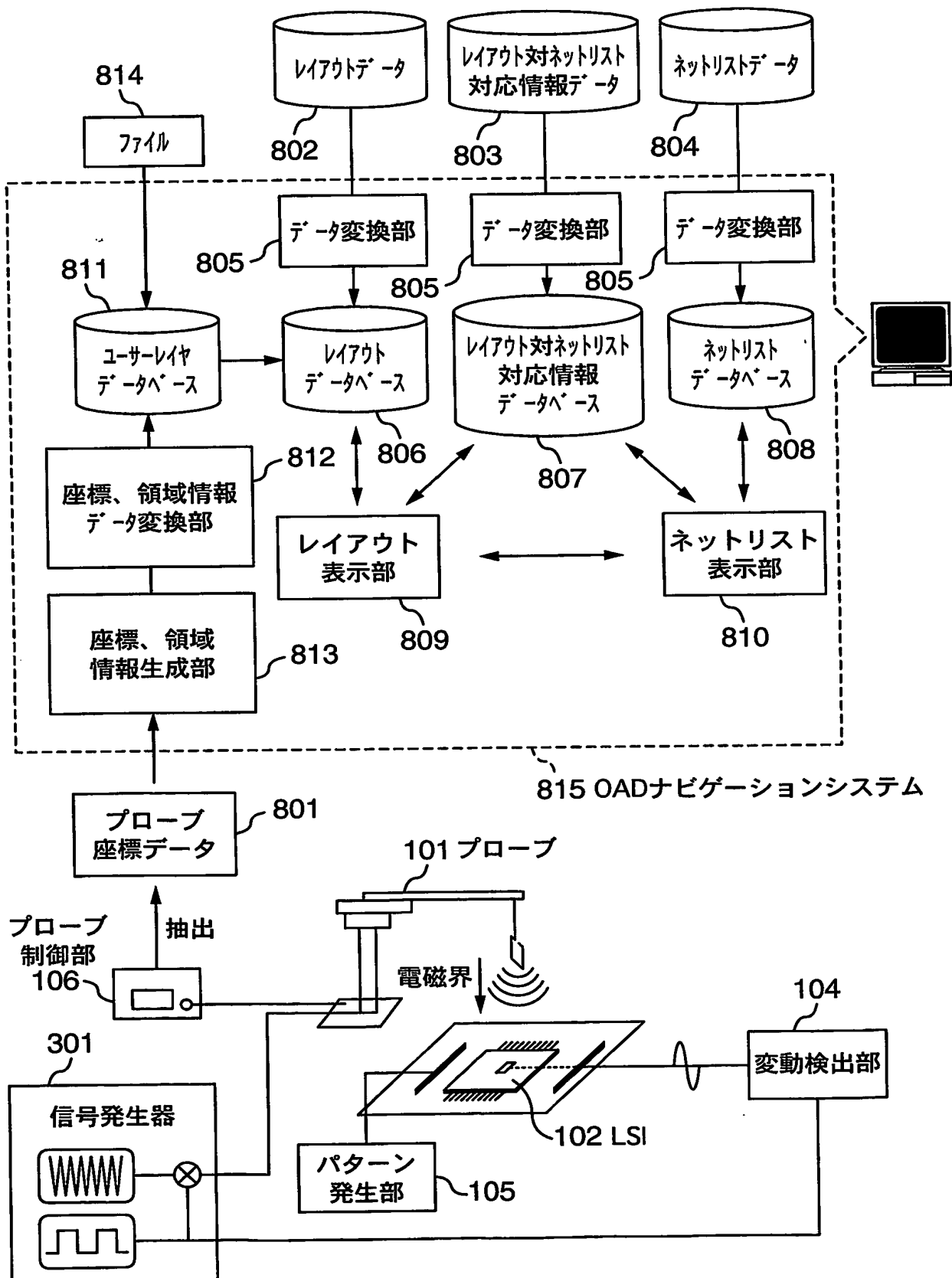


BEST AVAILABLE COPY



6/10

FIG. 8



BEST AVAILABLE COPY

FIG. 9A

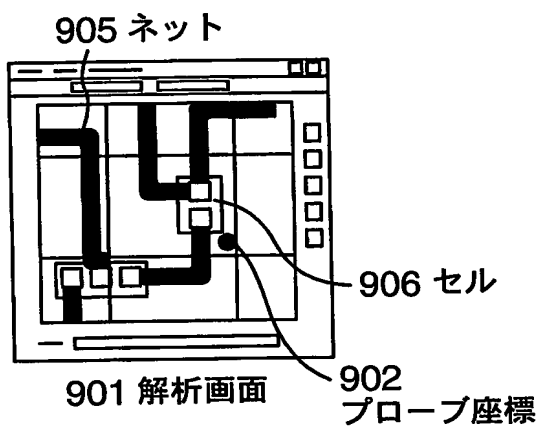


FIG. 9B

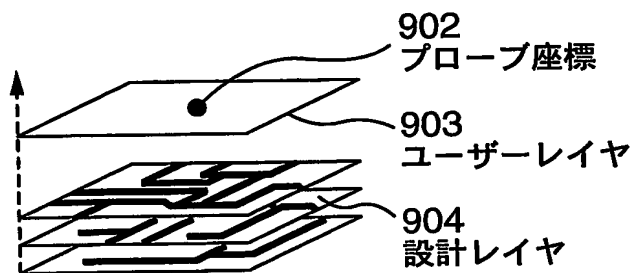


FIG. 10

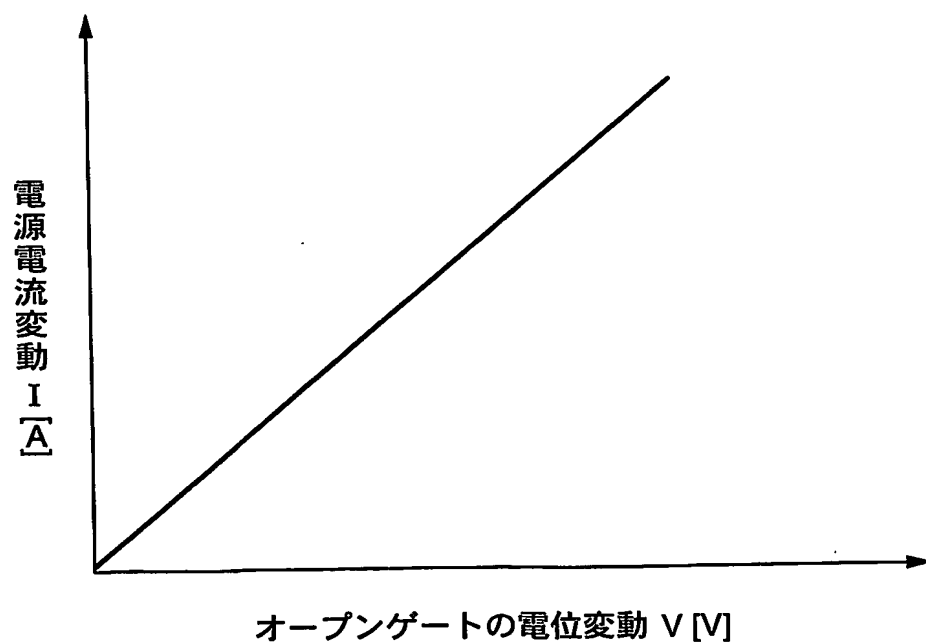


FIG. 11

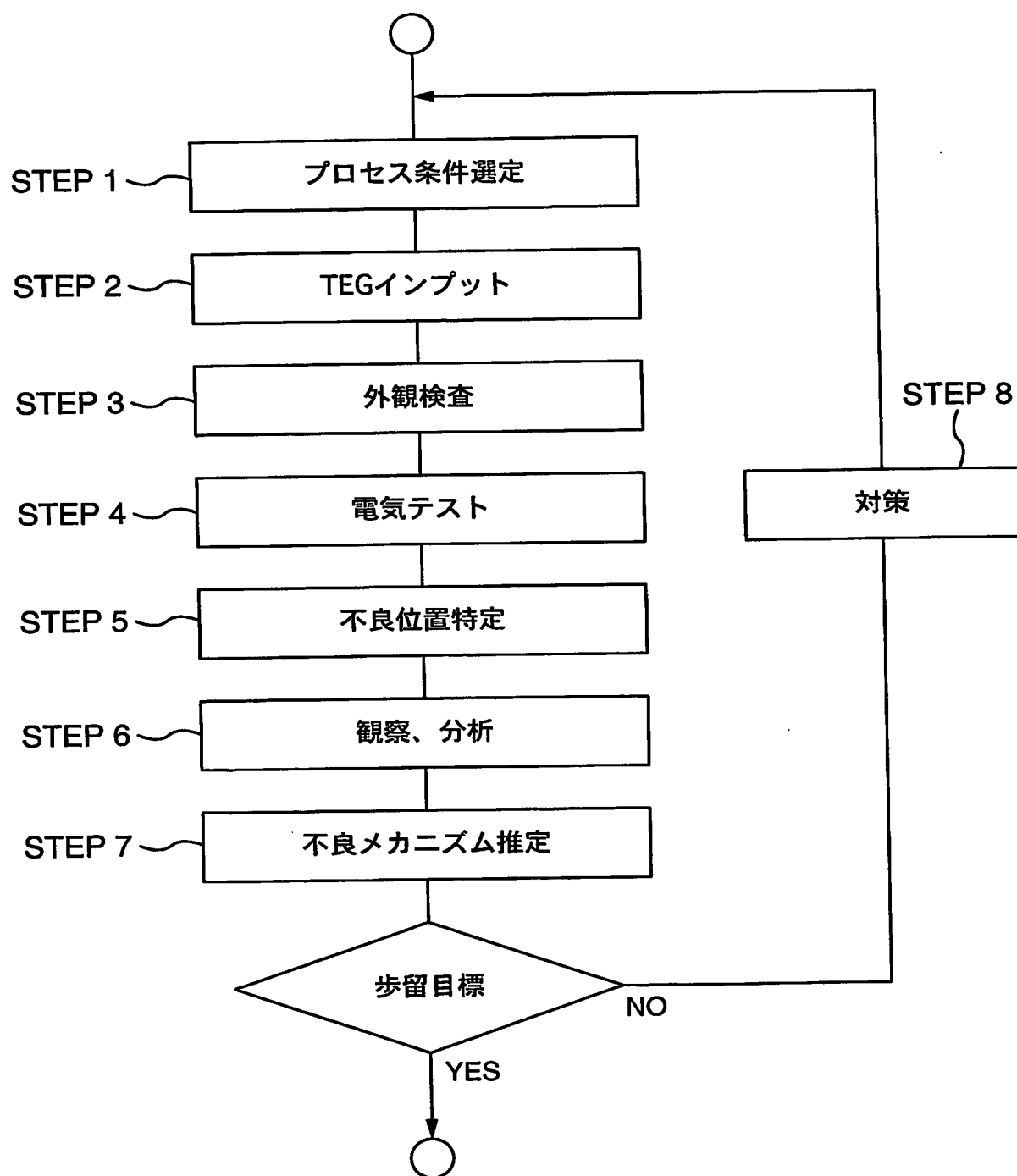
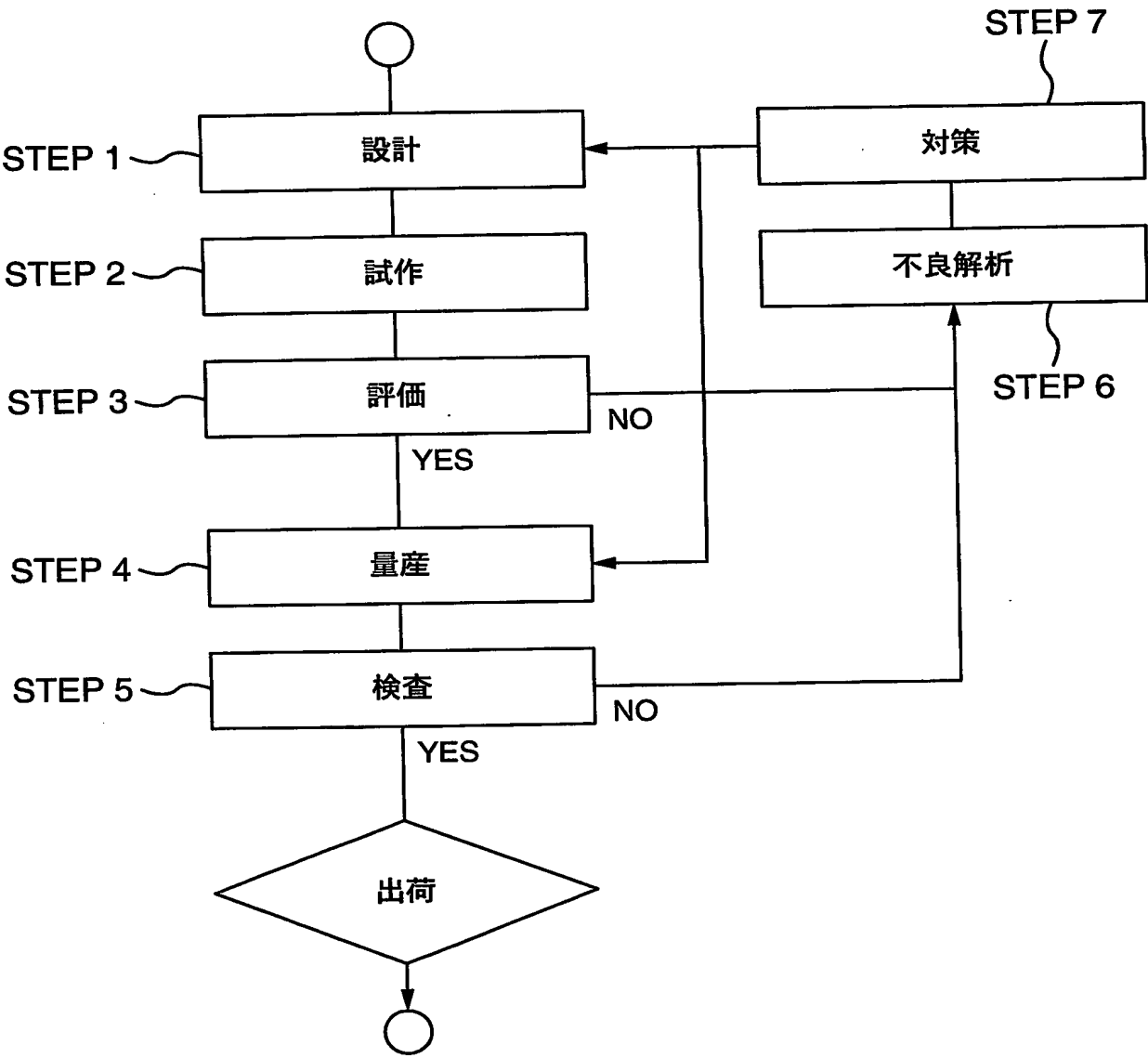
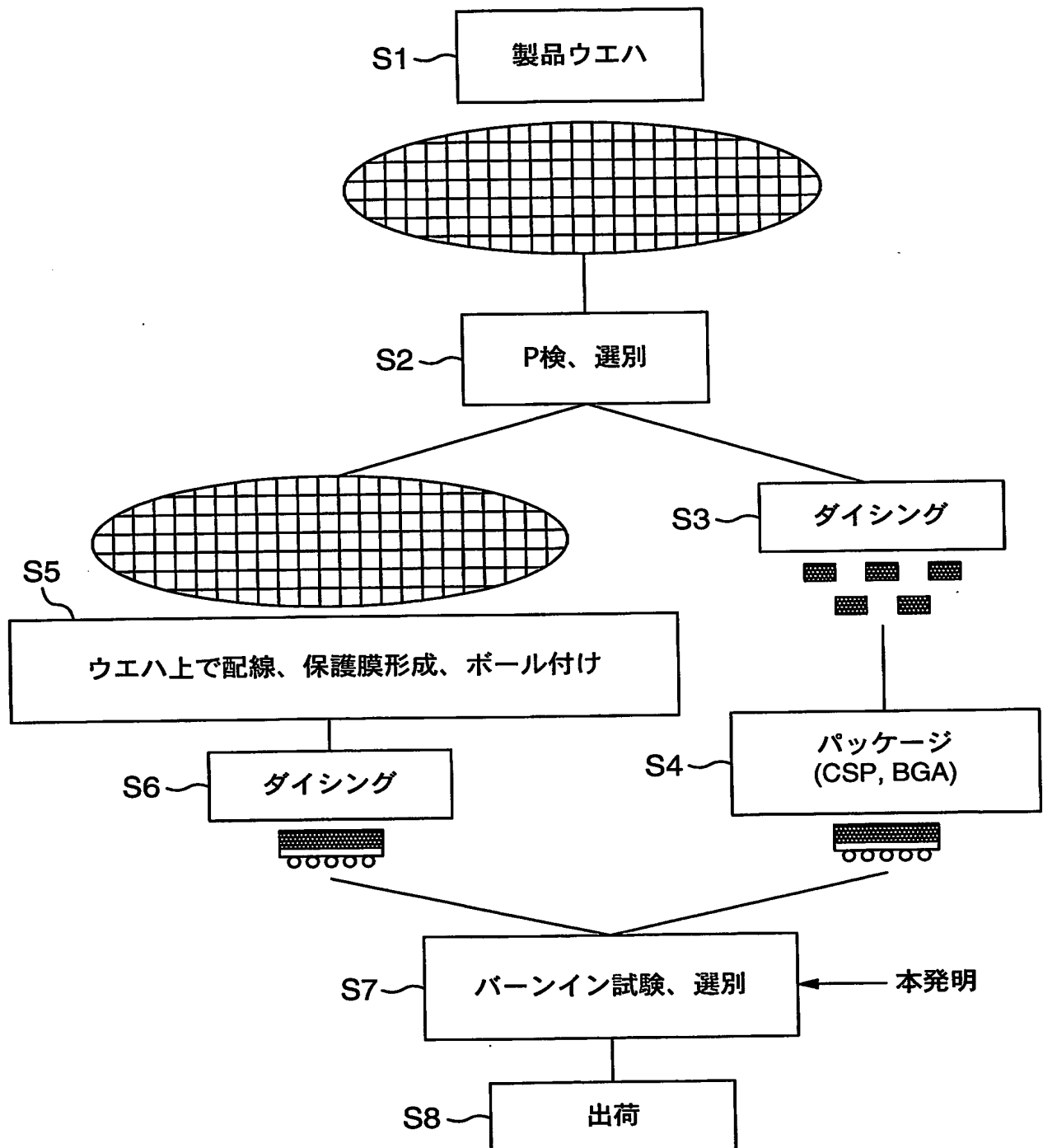


FIG. 12



10/10

FIG. 13



BEST AVAILABLE COPY

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/13869

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G01R31/311

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> G01R31/28-3193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2001-166012 A (Advantest Corp.), 22 June, 2001 (22.06.01), Full text; all drawings (Family: none)	1-3, 6, 8 5, 7, 10-14 4, 9
Y A	JP 9-092701 A (Nippon Telegraph And Telephone Corp.), 04 April, 1997 (04.04.97), Par. Nos. [0002], [0051] to [0052]; Fig. 5 (Family: none)	5, 7, 10-14 9
Y	JP 1-277781 A (Nippon Telegraph And Telephone Corp.), 08 November, 1989 (08.11.89), Full text; all drawings (Family: none)	10-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
12 December, 2003 (12.12.03)

Date of mailing of the international search report  
13 January, 2004 (13.01.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/13869

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5514971 A (NEC Corp.), 07 May, 1996 (07.05.96), Full text; all drawings & JP 7-043409 A	11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R31/311

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G01R31/28-3193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2001-166012 A (株式会社アドバンテスト) 2001.06.22, 全文, 全図 (ファミリーなし)	1-3, 6, 8 5, 7, 10-14 4, 9
Y A	JP 9-092701 A (日本電信電話株式会社) 1997.04.04, 【0002】, 【0051】 - 【0052】, 図5 (ファミリーなし)	5, 7, 10-14 9
Y	JP 1-277781 A (日本電信電話株式会社) 1989.11.08, 全文, 全図 (ファミリーなし)	10-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

12.12.03

国際調査報告の発送日 13.01.04

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中村 直行



2S

3005

電話番号 03-3581-1101 内線 3258



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 5514971 A (NEC Corporation) 1996.05.07, 全文, 全図 & JP 7-043409 A	11